

METHOD FOR FORMING COMPOUND SEMICONDUCTOR LAYER

Patent Number: JP1270593
Publication date: 1989-10-27
Inventor(s): KITAHARA KUNINORI
Applicant(s): FUJITSU LTD
Requested Patent: JP1270593
Application Number: JP19880098759 19880421
Priority Number(s):
IPC Classification: C30B25/02
EC Classification:
Equivalents:

Abstract

PURPOSE: To form a compound semiconductor layer having flat surface and prescribed thickness exclusively in a prescribed region by forming a silicon single crystal substrate covered with an insulation layer having an opening at a prescribed position and carrying out selective epitaxial growth of a compound semiconductor layer on the substrate surface exposed in the above opening using an ALE process.

CONSTITUTION: A silicon single crystal substrate 1 has a surface covered with an insulation layer 2 (e.g., SiO₂ layer) having an opening 8 at a prescribed position. The substrate is placed in a vapor growth apparatus and heated at a prescribed temperature. Raw material gases containing individual elements for constructing the desired compound semiconductor layer are introduced into the vapor growth apparatus staggering the introduction time. The above compound semiconductor layer 6 can be selectively deposited by epitaxial growth on the surface of the silicon single crystal substrate 1 exposed in the opening 8. A single crystal layer having a thickness of about 3μm which is required to form a semiconductor device can be produced by selectively depositing a single crystal layer 7 on the above semiconductor layer 6 by a vapor growth process which gives a high-purity single crystal at high rate of growth.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A) 平1-270593

⑤Int.Cl.⁴ 識別記号 庁内整理番号 ⑬公開 平成1年(1989)10月27日
 C 30 B 25/02 Z-8518-4G
 // C 30 B 29/40 8518-4G
 H 01 L 21/205 7739-5F 審査請求 未請求 請求項の数 3 (全7頁)

⑭発明の名称 化合物半導体層形成方法

⑰特 願 昭63-98759

⑱出 願 昭63(1988)4月21日

⑲発 明 者 北 原 邦 紀 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
 内

⑳出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

㉑代 理 人 弁理士 井 桁 貞一

明 細 書

1 発明の名称

化合物半導体層形成方法

2 特許請求の範囲

(1)所定位置に設けられた開口を有する絶縁層が形成された1表面を有するシリコン単結晶基板を気相成長装置内に設置するとともに所定温度に加熱しておき、所望の化合物半導体層を構成する元素を個々に含有する原料ガスを異なる時間に該気相成長装置内に導入することによって該開口内に露出する該シリコン単結晶基板表面に該化合物半導体層を選択的にエピタキシャル成長させることを特徴とする化合物半導体層形成方法。

(2)所定位置に設けられた開口を有する絶縁層が形成された1表面を有するシリコン単結晶基板を気相成長装置内に設置するとともに所定温度に加熱する工程と、

所望の化合物半導体層を構成する元素を個々に含有する原料ガスを異なる時間に該気相成長装置

内に導入する工程と、

該気相成長装置内に該化合物半導体層構成元素を個々に含有する原料ガスであって、少なくとも一方が非有機化合物である原料ガスを同時に導入する工程

を順次行うことを特徴とする化合物半導体層形成方法。

(3)該非有機化合物原料ガスの導入の直前に該絶縁層を選択的に除去する工程と、

該絶縁層が除去された該シリコン単結晶基板を酸化性雰囲気に曝す工程とを含むことを特徴とする請求項2の化合物半導体層形成方法。

3 発明の詳細な説明

〔概 要〕

シリコン単結晶基板上に化合物半導体層を形成する方法に関し、

シリコン単結晶基板上の所定領域にのみ平坦かつ半導体装置を形成するに必要な厚さを有する化

化合物半導体層を選択的に形成することを目的とし、

所定位置に設けられた開口を有する絶縁層が形成された1表面を有するシリコン単結晶基板を気相成長装置内に設置し、所望の化合物半導体層を構成する元素を個々に含有する原料ガスを異なる時間に該気相成長装置内に導入することによって該開口内に露出する該シリコン単結晶基板表面に該化合物半導体層を選択的に成長させることから構成される。

(産業上の利用分野)

本発明は、化合物半導体層のエピタキシャル成長方法に係り、とくに、シリコン単結晶基板上にガリウム砒素等の化合物半導体の単結晶層を形成する方法に関する。

(従来の技術)

ガリウム砒素(GaAs)やインジウム燐(InP)あるいはその他の混晶化合物半導体単結晶を用いた半導体装置の高性能化、高集積化、量産性の向上

等の要求に応じるために、シリコン基板上にこれら化合物半導体の単結晶層を形成する試みが行われている。このようなシリコン基板と化合物半導体単結晶層から成る複合基板は、

(a)シリコン基板は比較的大口径のウエハが入手できるため、従来、化合物半導体基板を用いて製造されている半導体装置の量産性を向上できる

(b)シリコン基板は化合物半導体層に比べ熱伝導がよいため、上記のような複合基板上の化合物半導体単結晶層に形成された半導体装置に対する熱放散の制約を緩和できる

(c)シリコン基板と化合物半導体単結晶層のそれぞれに適した半導体装置を形成することにより、異種の半導体装置を組合せた複合モノリシック集積回路、例えばシリコントランジスタと発光ダイオードを1つの半導体基板に搭載したOEIC(光電集積回路)を形成できる

等の長所を有する。

一般に化合物半導体単結晶層の熱膨張係数はシリコン基板の熱膨張率より大きいため、化合物半

3

導体単結晶層が全面に形成されたシリコン基板を室温に冷却したとき、基板には化合物半導体単結晶層を内側にして反りが生じ、甚だしい場合には、化合物半導体単結晶層にひび割れが生じる。これを防ぐ方法として、化合物半導体単結晶層を島状に形成することが有効である。島状に形成された化合物半導体単結晶層を有するシリコン基板は、上記のような複合モノリシック集積回路においても有利である。

すなわち、あらかじめシリコン基板に所望の半導体装置を形成しておき、この上の所定領域に化合物半導体単結晶層を島状に選択成長させ、この化合物半導体単結晶層中に所望の半導体装置を形成する。

(発明が解決しようとする課題)

シリコン基板上にGaAs等の化合物半導体単結晶層を成長させる方法としては、分子線エピタキシ(MBE)法または有機金属気相成長(MOCVD)法が従来は用いられていた(上田孝 他、昭和60年春期

4

応用物理学会予稿P.689等)。

例えば、第2図に示すように、シリコン基板1の上にSiO₂(2酸化シリコン)層2を形成し、フォトリソグラフィにより、シリコン基板1の所定位置上のSiO₂層2を選択的に除去して開口(窓)を設け、この窓内に露出しているシリコン基板1上にGaAs層3をエピタキシャル成長させる。同時に、SiO₂層2上には多結晶GaAs層4が生成する。

上記のようにして成長したGaAs層3には、SiO₂層2の近傍には隆起部分5が生じており、これは多結晶GaAs層4をリフトオフ等によって除去したのちにも残っている。このため、島状に形成されたGaAs層3の表面は平坦でない。

上記のような平坦でない島状のGaAs層3に半導体装置を形成しようとする、露光工程においてGaAs層3に投影される光学パターンの焦点が合わせ難い、あるいはGaAs層3の厚さが均一でないために形成される半導体装置の特性にバラツキを生じる、等の問題があった。

本発明は、平坦な表面と所定の厚さを有する化

5

6

合物半導体層を、シリコン基板上の所定領域にのみ選択的に形成可能とすることを目的とする。

〔課題を解決するための手段〕

上記目的は、所定位置に設けられた開口を有する絶縁層が形成された1表面を有するシリコン単結晶基板を気相成長装置内に設置し、所望の化合物半導体層を構成する元素を個々に含有する原料ガスを異なる時間に該気相成長装置内に導入することによって該開口内に露出する該シリコン単結晶基板表面に該化合物半導体層を選択的に成長させること、ならびに、上記に続き、化合物半導体層構成元素を個々に含有し少なくとも一方が該構成元素の塩化物または水素化物から成る原料ガスを同時に該気相成長装置内に導入し、前記開口内に成長した該化合物半導体層上に、より大きな厚さを有する化合物半導体単結晶層を付加的に成長させることを特徴とする本発明に係る化合物半導体層形成方法によって達成される。

〔作用〕

シリコン単結晶基板表面において化合物半導体単結晶層を形成しない部分を SiO_2 等の絶縁層により覆っておき、化合物半導体単結晶層構成元素を個々に含む原料ガスを時間をずらして導入する原子層エピタキシ(ALE)法を用いて、化合物半導体単結晶層をエピタキシャル成長させることにより、絶縁層に覆われていないシリコン基板1表面のみに化合物半導体単結晶層を選択成長させ、絶縁層上には化合物半導体層は生成させないでおくことができる。次いで、化合物半導体層構成元素の少なくとも一つの塩化物または水素化物から成る原料ガスを用い、これらの原料ガスを同時に導入する気相成長法により、上記ALE法により選択成長した化合物半導体層上に、より高い成長速度でより厚い化合物半導体単結晶層を選択成長させることができる。

〔実施例〕

以下本発明の実施例を図面を参照して説明する。

7

以下の図面において、既掲の図面におけるのと同じ部分には同一符号を付してある。

第1図は本発明の原理を説明するための要部断面図であって、シリコン基板1上には、所定位置に開口が設けられた SiO_2 層2が設けられており、前記開口内に露出しているシリコン基板1上には、ALE法によって選択的にエピタキシャル成長した厚さ $0.1\ \mu\text{m}$ 程度のGaAs層6が形成されており、さらにGaAs層6上には、 AsCl_3 (3塩化砒素)を原料ガスとして用い、通常の気相成長法によりエピタキシャル成長した厚さ $3\ \mu\text{m}$ 程度のGaAs7が選択的に形成されている。

ALE法の詳細については、Ozekiらによる報告(Ozeki et al., Abstract of the 19th Conference on Solid State Devices and Materials, Tokyo, 1987, PP.475)を参照されたい。ここで、概要のみを述べると、通常のMOCVD法と同様の原料ガスと類似の成長装置が用いられる。MOCVD法においては、例えばGaAsを成長させる場合、構成元素であるGaとAsを個々に含有する原料ガスが同

8

時に供給されるのに対して、ALE法においては、GaとAsのそれぞれの原料ガスを時間をずらして交互に供給する点がMOCVD法と異なる。MOCVD法およびALE法のいずれによっても、シリコン基板上に直接GaAsをエピタキシャル成長させることができる。

しかしながら、MOCVD法によれば、前記のように SiO_2 表面にもGaAsが生成されるのに対し、ALE法によれば、 SiO_2 表面にはGaAsが生成せず、しかも、 SiO_2 マスク層の開口内に選択成長したGaAs層の周辺部分には隆起部分が生じないことを本発明者は見出した。本発明はこの現象を応用することを基本的な構成としている。

したがって、本発明の方法によれば、 SiO_2 層2が有する開口内に平坦性のすぐれたGaAs層6を選択成長することができる。しかしながら、ALE法による単結晶層の平均成長速度は $0.1\ \mu\text{m}/\text{時}$ 程度と小さく、半導体装置を形成するのに必要とされる $3\ \mu\text{m}$ 程度の厚さを有する単結晶層を成長させるために長時間を要する。また、現状では成長した

単結晶層の純度の点でやや問題がある。このため、本発明は、上記ALE法によって選択成長したエピタキシャル層上に、成長速度が大きくかつ高純度の単結晶層を得ることが可能な気相成長法を用いて、所望の層厚を有する単結晶層を選択成長させることを構成要素として含む。

上記のような成長速度が大きくかつ高純度の単結晶層を成長させることが可能な気相成長法の1つとして、塩化物系の原料ガスを用いる気相成長法がある(J. Komeno et al., J. Electrochem. Soc. 124(1977) pp.1440)。

塩化物系気相成長法によれば、上記のような半導体装置の形成に必要な $3\mu\text{m}$ 程度の厚さを有する高純度の化合物半導体単結晶層を1時間以下の短時間で成長させることができる。しかしながら、GaAs等の単結晶層をシリコン基板上に直接成長させることはできない。これは次の理由によるものと考えられている。

すなわち、原料ガスに含まれる酸素、あるいは、気相成長装置の石英管がHCl(塩化水素)と反応し

て生成する酸素がシリコン基板表面を酸化し、表面を酸化膜で覆ってしまう。上記のHClは、 AsH_3 (3塩化砒素)のような塩化物系の原料ガスとキャリアガスである水素とが高温で反応して生じる。上記HClは生成したGaAsをエッチングするが、その速度は SiO_2 層に対するGaAs層の生成速度より高い。したがって、塩化物系気相成長法によれば、シリコン基板上には、GaAsの単結晶層も多結晶層も成長しない。

本発明は、この性質を上記ALE法により選択的に形成された化合物半導体のエピタキシャル成長層上に厚い化合物半導体単結晶層を選択成長させる方法として応用することを構成要素として含む。すなわち、 SiO_2 層の開口部に露出するシリコン基板表面に、上記ALE法によりGaAs層を形成しておけば、このGaAs層上には塩化物系気相成長法によってGaAs層がエピタキシャル成長し、周囲の SiO_2 層上にはGaAs層が生成しないことを利用する。

第3図は本発明の1実施例を説明するための要部断面図であって、シリコン基板におけるGaAs層

1 1

の選択的エピタキシャル成長の工程を示す。

GaAs層の成長に先立ち、第3図(a)に示すように、シリコン基板1上にマスクとなる SiO_2 層2を次のようにして形成する。

①シリコン基板1を脱脂洗浄し、次いで10%HF(弗酸)溶液中に浸漬して表面の自然酸化膜を除去する

②シリコン基板1上に周知のCVD技術または熱酸化法を用いて、厚さ約 $0.2\mu\text{m}$ の SiO_2 層2を形成する

③通常のフォトリソグラフ技術により、 SiO_2 層2の所定位置に開口(窓)8を設け、窓8内にシリコン基板1表面を露出させる

なお、例えばシリコン基板にMOSFET(Si-MOSFET)を、また、GaAs層にMESFET(GaAs-MESFET)を、それぞれ形成することにより複合集積回路を構成する場合には、上記工程(a)と(b)との間で、シリコン基板1にあらかじめSi-MOSFETを形成しておく。ただし、金属電極あるいはコンタクト孔の形成はGaAs層の生成後に行う。

1 2

上記のようにして、シリコン基板1上にマスクとなる SiO_2 層2が形成されたのち、すみやかにシリコン基板1を気相成長装置内に設置し、ALE法により、窓8内に露出しているシリコン基板1表面にGaAs層6を選択的にエピタキシャル成長させる。

ALE法によりガリウム砒素(GaAs)単結晶層を成長させる場合には、例えばGa原料ガスとしてトリメチルガリウム(TMG)を、また、As原料ガスとしては水素で10%に希釈したアルシン(AsH_3)を用いる。上記のマスク SiO_2 層2が形成されたシリコン基板1をALE法を実施可能な気相成長装置内に設置し、以下の処理を約20Torrの減圧下で行う。

成長装置内にアルシンを導入し、高周波誘導加熱法を用いて、シリコン基板1を $900\sim 1000^\circ\text{C}$ で10~30分間ベーキングする。この工程において、シリコン基板1表面の自然酸化膜が除去される。次いで、温度を $300\sim 500^\circ\text{C}$ に下げる。温度が安定したのち水素—TMG—水素—アルシンを1サイクルとする原料ガスの供給を繰り返して行う。上

記の工程により、第3図(b)に示すように、窓8に露出するシリコン基板1表面上に厚さ約 $0.1\ \mu\text{m}$ のGaAs層6が成長したら原料ガスの供給を停止する。

上記 ALE成長を行った気相成長装置からシリコン基板1を取り出し、すみやかに塩化物系気相成長を行うための装置内に収容したのち、次のようにして塩化物系気相成長を行う。

すなわち、 AsCl_3 が充填されたバブラーを所定温度に加熱しておき、これに水素ガスを送入して、上記気相成長装置に AsCl_3 を導入する。気相成長装置内の高温部分で AsCl_3 と水素が反応し、 As_4 と HCl を生じる。気相成長装置の上流部には、あらかじめ As_4 で飽和されたガリウム(Ga)が設置されている。このGaが HCl と反応して生じた GaCl_3 (3塩化ガリウム)と As_4 がキャリアガスによって輸送され、Si基板1近傍で反応する。その結果、GaAs層6をシードとして、単結晶GaAs層7が成長する。なお、 SiO_2 層2上にはGaAs層が生成しないことは前述の通りである。

15

の高さは約 $3\ \mu\text{m}$ であり、横軸方向に幅約 $40\ \mu\text{m}$ を有する。図示のように、GaAs層7表面には従来のGaAs層3における隆起部分5 (第2図参照)は認められない。

上記の実施例においては、GaAs層7を成長させるための原料ガスの一方に AsCl_3 のような塩化物を用いた。 SiO_2 層2上にGaAs層が生成されないのは、 SiO_2 層上ではGaAsの堆積速度より HCl によるエッチング速度の方が高いためである。この HCl は、 AsCl_3 とキャリアガスの水素との反応によって生じたものであることは前述の通りである。したがって、原料ガスとして有機金属化合物を用い、反応系に HCl ガスを導入しても同様にGaAs層7の選択成長が可能である。

上記実施例における AsCl_3 の代わりに砒素の水素化合物である AsH_3 を用いても、GaAs層6上にもみGaAs層7を選択的に成長させることができる。

また、上記実施例において、ALE法によりシリコン基板1にGaAs層6を選択成長後、 SiO_2 層2を除去してからGaAs層7を成長させた方が良質の単

上記により、第3図(c)に示すように、GaAs層7が所定の厚さ (例えば $3\ \mu\text{m}$) に達したら原料ガスの供給を停止し、シリコン基板1を冷却し、気相成長装置から取り出す。GaAs層7が形成されたシリコン基板1における SiO_2 層2を、 HF 溶液を用いる通常のエッチング方法により除去し、第3図(d)に示す構造を得る。以後、GaAs層7層の所定領域に対する不純物イオンの注入、金属電極あるいは配線の形成等の通常の工程にしたがい、MESFET等の所望の半導体装置を形成する。

なお、必要に応じて、上記 AsCl_3 の導入と同時に、GaAs層7にドーピングすべき不純物元素を含有する不純物原料ガスを導入し、GaAs層7に所定のキャリア濃度を与えることができる。

第4図は、第1図に示す構造から SiO_2 層2を選択除去したのちの断面形状を触針方式の表面段差測定装置 (ターリーステップ) を用いて観測して得たグラフである。縦軸はシリコン基板1表面からの高さ、横軸は表面方向の距離を示す。図示のように、シリコン基板1表面からのGaAs層7表面

16

結晶層を得られる場合がある。これは、マスクである SiO_2 層2からの汚染がなくなるためである。 SiO_2 層2の除去は、上記実施例と同様に、10% HF 溶液中にシリコン基板1を浸漬することにより行う。 SiO_2 層2を除去後、 H_2SO_4 (硫酸) と H_2O_2 (過酸化水素) の混合水溶液を用いてGaAs層6の表面を50nm程度エッチングしてから、シリコン基板1を塩化物系気相成長装置内に設置し、上記実施例と同様にして、GaAs層6上にGaAs層7の選択成長させる。

上記のようにして SiO_2 層2が除去されて表出されたシリコン基板1には、第5図(a)に示すように、1nm程度の厚さの自然酸化膜9が生成している。塩化物系気相成長においては、このように薄い自然酸化膜9であっても、この上にはGaAsが生成せず、GaAs層6上にもみGaAs層7が選択的に成長する。

本発明はGaAs以外の化合物半導体、例えばインジウム燐(InP)、インジウム・ガリウム燐(InGaP)、アルミニウム・ガリウム砒素(AlGaAs)、ガリウム

17

18

磷(GaP)等の単結晶層の選択成長も同様が可能であることは言うまでもない。

〔発明の効果〕

本発明によれば、シリコン基板表面の所定領域に、平坦性が良好であり、かつ、半導体装置の形成に必要な厚さを有する化合物半導体単結晶層を選択的に成長させることができ、GaAs on Si構造の複合基板を用いる半導体装置の実用化を促進する効果が大である。

4 図面の簡単な説明

第1図は本発明の原理を説明するための要部断面図、

第2図は従来の方法によるGaAs on Si構造の複合基板の要部断面図、

第3図は本発明の1実施例の工程における要部断面図、

第4図は本発明の方法により形成されたGaAs on Si構造の複合基板の断面形状を示すグラフ、

第5図は本発明の他の実施例の工程を説明するための要部断面図

である。

図において、

- 1はシリコン基板、
- 2はSiO₂層、
- 3と6と7はGaAs層、
- 4は多結晶GaAs層、
- 5は隆起部分、
- 8は窓、
- 9は自然酸化膜

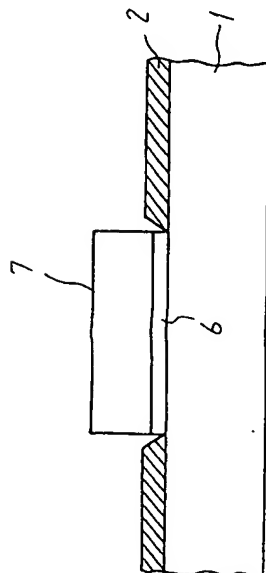
である。

代理人 弁理士 井桁 貞一

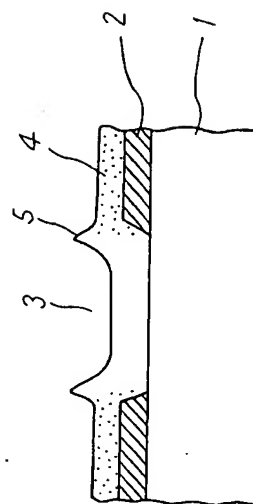


19

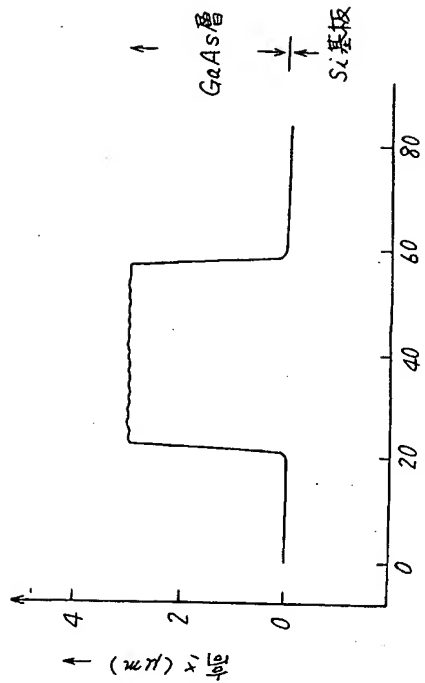
20



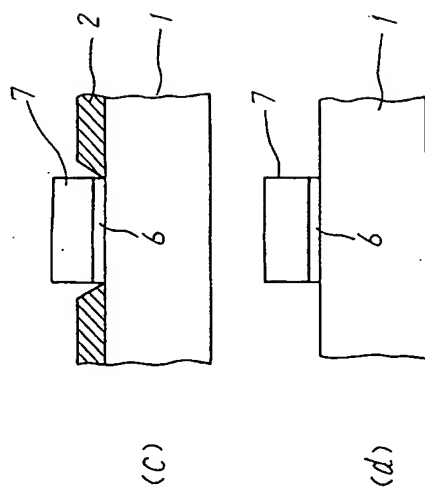
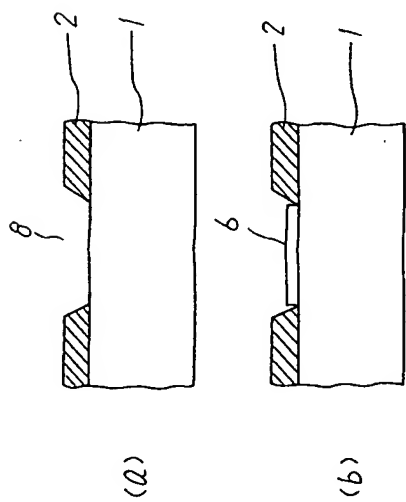
本発明の原理説明図
第1図



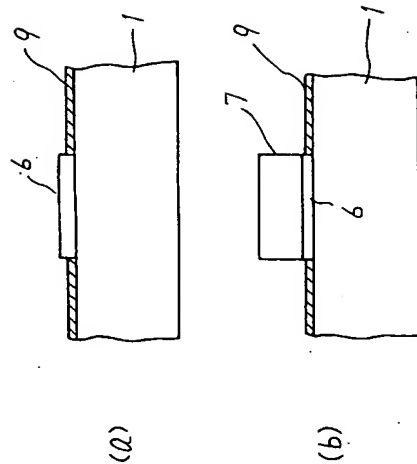
従来の方法によるGaAs on Si構造の基板
第2図



本発明によるGaAs on Si構造の基板の断面形状
第4図



本発明の実施例の工程
第3図



本発明の他の実施例の工程
第5図

